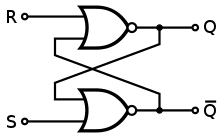
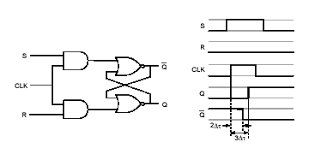
LATCH



Per creare una memoria a 1 bit è necessario disporre di un circuito che in qualche modo ‘’ricordi’’ i precedenti valori di input. La figura mostra come sia possibile costruire un circuito di questo tipo utilizzando due porte NOR. Questo tipo di circuito è chiamato SR e ha due input: S, per impostare (Setting) il valore del latch e R per azzerarlo (Re setting). Il circuito ha anche due output, Q e —Q, che sono complementari l’uno rispetto all’altro.  
L’output di un latch non è quindi determinato unicamente dai valori di input correnti.

LATCH SR TEMPORIZZATO



Spesso è preferibile impedire che un latch cambi di stato se non in specifici momenti. Un circuito che gode di questa caratteristica è detto latch SR temporizzato; per costruirlo occorre aggiungere un input, il clock, il cui valore è generalmente 0. Quando il clock vale 0 (strobe) entrambe le porte AND generano in output il valore 0, indipendente dai valori si S e R, impedendo quindi al latch di cambiare di stato. Quando il clock vale 1 (enable) le porte AND non bloccano più i segnali S e R che possono dunque tornare a pilotare lo stato del latch.

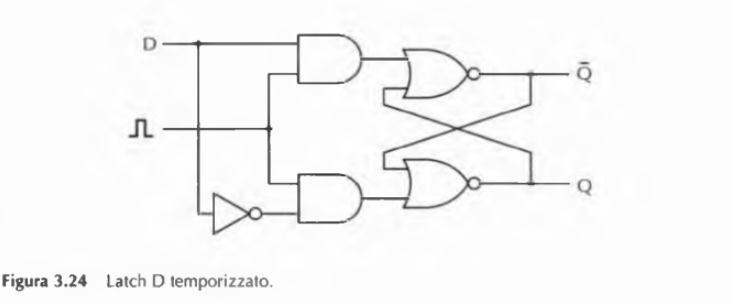
**Latch D temporizzato**

Un buon modo per risolvere l’ambiguità dei latch SR (causata dalla situazione S = R = 1)

è evitare che si verifichi.

La Figura 3.24 mostra un circuito che ha un solo input, D. Dato che l’input della porta AND rappresentata in basso è sempre il complemento dell’input di quella superiore, non può mai accadere che entrambi gli input valgono 1. Quando D = 1 e il clock vale 1, il latch viene portato nello stato Q = 1, mentre, quando D = 0 e il clock vale 1, il latch passa nello stato Q = 0.

In altre parole quando il clock vale 1 il valore corrente di D viene campionato e memorizzato nel latch. Questo circuito, chiamato latch D temporizzato, è una vera e propria memoria a 1 bit, in cui il valore memorizzato è sempre disponibile sulla linea Q. Per caricare in memoria il valore corrente di D occorre spedire un impulso positivo sulla linea dei clock.



**Flip-flop**

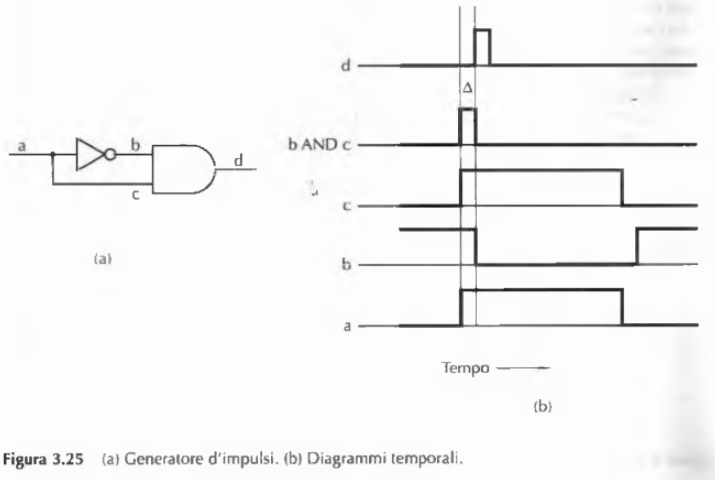
In molti circuiti è necessario campionare il valore di una certa linea in un particolare istante e memorizzarlo. In questi circuiti, chiamati flip-flop, la transizione di stato non si verifica quando il clock vale 1, ma durante la transizione del clock da 0 a 1 (fronte di salita) oppure da 1 a 0 (fronte di discesa).

In questa situazione la lunghezza dell’impulso del clock non ha alcuna importanza, purché le transizioni si verifichino con sufficiente velocità.

Quindi, un flip-flop è a commutazione sul fronte, mentre un latch è a commutazione a livello.

Esistono vari approcci per progettare un flip-flop. Se per esempio esistesse un metodo

per generare un impulso di lunghezza estremamente breve sul fronte di salita, si potrebbe immettere tale impulso in un latch D. Il circuito che implementa questa soluzione è mostrato nella Figura 3.25(a).



A prima vista potrebbe sembrare che l’output della porta AND debba essere sempre zero,

dato che l’AND tra un qualsiasi segnale e il suo inverso vale sempre zero; in realtà la situazione, anche se in modo sottile, è diversa. L’invertitore induce un piccolo, ma non nullo, ritardo di propagazione che permette al circuito di funzionare in modo corretto.

Questo sfasamento temporale significa che il latch D verrà attivato con un ritardo fisso rispetto al fronte di salita del clock; tuttavia ciò non ha alcun effetto sulla durata dell’impulso.

